

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-215112

(43)Date of publication of application : 06.08.1999

(51)Int.Cl.

H04L 7/033

H03L 7/093

H03L 7/08

H03L 7/091

H04L 25/52

(21)Application number : 10-013810

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.01.1998

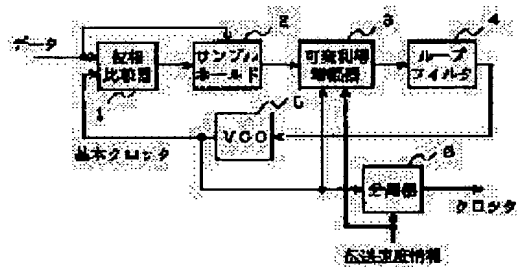
(72)Inventor : TAKEYARI RIYOUJI

(54) PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a PLL circuit where a loop gain changes in accordance with a transmission speed but is constant if the appearance frequency of a code transition point changes by arranging a sample-and-hold circuit and a variable gain amplifier in a feedback loop.

SOLUTION: A sample-and-hold circuit 2 and a variable gain amplifier 3 are arranged in a feedback loop. The sample-and-hold circuit 2 samples the phase difference signal of an output of a phase comparator 1 at the time of data transition and holds it while there is no data transition. The variable gain amplifier 3 changes the level of the phase difference signal of the output of the sample-and-hold circuit 2 by changing the loop gain in response to transmission speed information of data supplied from outside of a PLL circuit. Since the variable gain amplifier 3 is included to control the gain in proportion to the data transmission, the loop gain is proportional to the data transmission speed. Thus, a jitter transfer area becomes proportional to the data speed and a Q value becomes constant irrespective of the transfer speed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

Best Available Copy

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-215112

(43) 公開日 平成11年(1999) 8月6日

(51) Int.Cl.⁹

識別記号

F I

H 0 4 L 7/033

H 0 4 L 7/02

B

H 0 3 L 7/093

25/52

A

7/08

H 0 3 L 7/08

E

7/091

M

H 0 4 L 25/52

C

審査請求 未請求 請求項の数6 O L (全 6 頁)

(21) 出願番号

特願平10-13810

(22) 出願日

平成10年(1998) 1月27日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 武館 良治

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 高橋 明夫 (外1名)

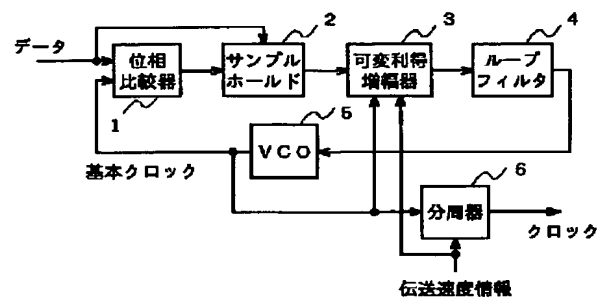
(54) 【発明の名称】 PLL回路

(57) 【要約】

【課題】 伝送速度に応じてループ利得が変化し、かつ、符号遷移点の出現頻度が変化した場合にループ利得が一定で変化しない新規のPLL回路を提供する。

【解決手段】 位相比較器の後にサンプルホールド回路を接続し、かつ、伝送速度に比例して利得が変化する可変利得増幅器を位相比較器とVCOとの間に配置する。デューティ比が伝送速度に比例するゲート信号を生成して出力するゲート信号発生回路と、サンプルホールド回路を経た位相比較器出力の位相差信号を当該ゲート信号のパルス有りの期間に閉じて出力するスイッチング回路とによって可変利得増幅器を構成する。

図1



【特許請求の範囲】

【請求項1】 位相比較器と、ループフィルタと、VCO (Voltage Controlled Oscillator) とで帰還ループが形成され、入力するデータからクロックを抽出するPLL (Phase Locked Loop) 回路において、位相比較器出力の位相差信号をデータ遷移時にサンプリングしてデータの符号遷移が無い期間保持するサンプルホールド手段と、データの伝送速度に比例して利得が変化する可変利得増幅器とを上記帰還ループに含んでなることを特徴とするPLL回路。

【請求項2】 前記可変利得増幅器は、デューティ比が伝送速度に比例するゲート信号を生成して出力するゲート信号発生回路と、サンプルホールド手段を経た位相比較器出力の位相差信号を当該ゲート信号のパルス有りの期間に閉じて出力するスイッチング回路とによって構成されていることを特徴とする請求項1に記載のPLL回路。

【請求項3】 前記VCOは、前記データを伝送する通信ネットワークの取り得る最高伝送速度に対応した周波数で発振するものであり、VCOの発振周波数をデータの伝送速度に分周してクロックを出力する分周器を備えていることを特徴とする請求項1又は請求項2に記載のPLL回路。

【請求項4】 データを再生して送信する中継器であって、請求項1～請求項3のいずれかに記載のPLL回路を含んでなることを特徴とする中継器。

【請求項5】 通信ネットワークからのデータを受信する受信機であって、請求項1～請求項3のいずれかに記載のPLL回路を含んでなることを特徴とする受信機。

【請求項6】 伝送路と請求項4に記載の中継器とを多段に縦続接続してなることを特徴とする通信ネットワーク。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、データ伝送において必要なクロックを抽出する回路に係り、特に種々の異なった伝送速度の中継系で構成する通信ネットワークに適用して好適なPLL (Phase Locked Loop) 回路に関する。

【0002】

【従来の技術】データ伝送を行なう通信ネットワークは、情報量の増大とともに著しく広帯域化され、例えば、通信ネットワークの最も代表的なB-ISDN (Broadband Integrated Service Digital Network) においては、その中継系での伝送速度が155 Mb/sに達する。更に、最近になり、それを4倍の係数で高めた600 Mb/s, 2.4 Gb/s, 10 Gb/sが登場している。通信ネットワークにおいては、このような異なった伝送速度の中継系を経てデータ伝送が行なわれるようになって

きており、その場合、中継系に用いる中継器は、伝送速度に依存せず動作可能なものが必要になる。そのような中継器の例として、伝送速度を自動的に識別し、その伝送速度に応じて異なる周波数のクロックを発生するようにした中継器がある(例えば1997年電子情報通信学会通信ソサイエティ大会予稿集B-10-109番第408頁参照)。

【0003】このような伝送速度無依存型の中継器のクロック抽出にPLL回路を採用する場合、最も高い伝送速度の周波数(上述の例では10 GHz)で発振するVCO (Voltage Controlled Oscillator) を用い、位相比較をこの最高周波数で行なわせるのが普通である。そのような中継器を伝送速度が低い中継系で用いる場合は、PLL回路の帯域が不必要に高くなり、伝送路雑音の高域成分の影響を受けてかえってジッタが増大するという問題点があった。

【0004】次に、データの符号遷移点の出現頻度は、一般に伝送するデータによって変化する。PLL回路は、後述するように、符号遷移点の出現頻度によってループ利得が変化する特性があり、ループ利得を一定にする手段を採用しないと、通信ネットワークにループ利得が変化しないクロック抽出回路と利得が変化するPLL回路採用のクロック抽出回路とが混在する場合や、ネットワークの途中で前記出現頻度が変化する場合には、識別誤りが生じるという問題点があった。前記引用の文献には、ループ利得を一定にする手段が見当らず、そのような問題が避けられない。

【0005】これらの問題点の内容を詳細に説明するために、以下に、まず中継器の一般的な課題について述べる。

【0006】NRZ (Non Return to Zero) 符号などのクロックを伝送しない符号は、高周波成分の含有が少ないため高速伝送に適し、上記のような広帯域の通信ネットワークで多用される。そのような符号を用いたデータ伝送の中継器や受信機においては、データの再生と中継データの送出タイミング発生のため、データからクロックを抽出する回路を必要とする。

【0007】クロック抽出回路として、クロックに中心周波数を合致させた共振器(以下「タンク」という)が用いられてきたが、近年、PLLが多く用いられるようになってきた。PLLは、VCO及び位相比較器を用い、VCOの発振周波数の位相をデータの位相と合致させて同期をとる帰還ループを形成するもので、同期周波数範囲が広い特徴がある。そのため、タンクの場合に行なわれる精密な周波数合わせを必要としない。また、VCOを半導体集積回路(以下「IC」という)の中に内に内蔵することが可能になり、PLL回路全体をモノリシックICで形成することができるようになってきた。

【0008】ところで、データは、幾つかの伝送路や中継器を通る過程で、伝送路上の雑音等の影響を受けて時

間の揺らぎ（以下「ジッタ」という）を持つようになる。一般にクロック抽出回路においては、データのジッタとこのデータを入力して同回路が出力するクロックのジッタとの間に変化が生じる。同変化が入力ジッタに対する出力ジッタの伝達関数、即ち、ジッタトランスファ特性として表わされる。タンクのジッタトランスファ特性は、タンクの中心周波数を等価的に直流に変換したときの低域通過特性で決まるので、タンクの特性のみに依存する。

【0009】一方、PLL回路のジッタトランスファ特性は、帰還ループ特性に依存する。ジッタトランスファ特性は、ジッタトランスファ利得の周波数特性で表わすことができ、その帯域がジッタトランスファ帯域である。そして、ジッタトランスファ帯域は、ループ利得に比例することが知られている。

【0010】ループ利得には、位相比較器の平均検出効率に基づく位相比較器の等価的な利得が含まれる。データからクロックを抽出するPLL回路の場合、位相比較器の平均検出効率は、データの符号遷移点の出現頻度に比例する。つまり、同符号連続が多く、符号遷移点が少ないデータパターンではタイミング情報が少ないために、位相比較器の平均検出効率が低下して等価的な利得が下がり、従ってループ利得が小さくなってジッタトランスファ帯域が狭くなる。

【0011】このようにジッタトランスファ帯域がデータパターンに依存すると、中継器を縦続接続した通信ネットワークにタンクとPLL回路が混在した場合、例えば、ネットワークの前段にジッタトランスファ帯域が広いタンクによる中継器を使用し、後段にPLL回路による中継器を使用した場合、前段では高い周波数のジッタが通過するが、後段では入力ジッタに追従する帯域が狭くなってデータと抽出クロックの位相差が大きくなり、識別誤りが生じる。

【0012】また、SDH (Synchronous Digital Hierarchy) 処理を行なう通信ネットワークにおいては、中継系の特性に応じて管理用データを変更する場合があります。その場合、変更に伴って符号遷移点の出現頻度が変化する。変更の前と後の双方で同じPLL回路による中継器を使用した場合、変更によって出現頻度が下がるとジッタトランスファ帯域が下がり、変更前のデータのジッタの高域成分が減少する。そのため、変更前のデータのジッタを変更後が追従しなくなり、識別誤りが発生する。

【0013】データ遷移が無い期間位相差を保持するサンプルホールド回路をループ内に挿入したPLL回路〔例えば1994年米国アイ・エス・エス・シー (ISSCC) 94大会予稿集/セッション6/資料TA6.2第110頁及び111頁参照〕や、データ遷移が無い期間位相差を保持するサンプルホールド機能を含んだ位相比較器を有するPLL回路〔例えば1992年米国ア

イ・エス・エス・シー (ISSCC) 92大会予稿集/セッション10/資料10.3第162頁及び163頁参照〕は、符号遷移点の出現頻度によらずにループ利得が一定になり、識別誤りの発生が抑えられる。

【0014】

【発明が解決しようとする課題】前記伝送速度無依存型の中継器のクロック抽出に用いるPLL回路にデータ遷移が無い期間位相差を保持する手段を採用する場合にも、ループ利得が一定になり、符号遷移点の出現頻度の変化による識別誤りの発生を抑えることができる。しかしながら、伝送速度の違いが符号遷移点の出現頻度の変化と同じ現象になることから、ループ利得一定が不必要なジッタトランスファ帯域の維持を招き、ジッタが増大するという問題が生じる。

【0015】反対に、上記保持手段を採用しない場合は、ループ利得が伝送速度に応じて変化すると云う好ましい特性が維持されるが、同時に符号遷移点の出現頻度の変化によってループ利得が変わり、識別誤りの発生を招く。

【0016】本発明の目的は、従来技術の前記問題点を解決し、伝送速度に応じてループ利得が変化し、かつ、符号遷移点の出現頻度が変化した場合にループ利得が一定で変化しない新規のPLL回路を提供することにある。

【0017】

【課題を解決するための手段】本発明の前記課題は、伝送速度に比例して利得が変化する可変利得増幅器と、データ遷移が無い期間位相差を保持するサンプルホールド手段とを帰還ループに含めることによって効果的に解決することができる。前記可変利得増幅器は、例えば、デューティ比が伝送速度に比例するゲート信号を生成して出力するゲート信号発生回路と、サンプルホールド手段を経た位相比較器出力の位相差信号（アナログ信号）を当該ゲート信号のパルス有りの期間に閉じて出力するスイッチング回路とによって構成することができる。

【0018】スイッチング回路においては、伝送速度が高まるに従って閉じる期間の比率が増大するので、位相差信号のレベルが大きくなる。これによって、伝送速度に応じて変化するループ利得を得ることができ、ジッタトランスファ帯域と伝送速度の比を常に一定にすることができる。

【0019】

【発明の実施の形態】以下、本発明に係るPLL回路を幾つかの図面で示した発明の実施の形態を参照して更に詳細に説明する。

【0020】本発明のPLL回路の構成を図1に示す。同図において、1は、入力したデータと生成したクロックの位相差を検出する位相比較器、2は、位相比較器1出力の位相差信号をデータ遷移時にサンプリングしてデータ遷移が無い期間保持するサンプルホールド回路、3

は、PLL回路の外部から供給されるデータの伝送速度情報により利得を変えることによってサンプルホールド回路2出力の位相差信号のレベルを変える可変利得増幅器、4は、可変利得増幅器3の出力信号の帯域を制限するループフィルタ、5は、ループフィルタ4出力の信号の電圧値に応じて発振周波数を変えるVCO、6は、VCO5の出力信号の分周を行なう分周器を示す。ループフィルタ4は、ラグーリード型としたが、完全2次型とすることが可能である。

【0021】以上の構造によって、伝送速度が通信ネットワークが採用する最高の伝送速度 B_0 の場合、VCO5出力の基本クロックは、周波数と位相が入力とのデータと一致するように制御され、周波数 f_0 になる。伝送速度が B_0/N (N は整数)である伝送速度 B_{N-1} の場合には、伝送速度 B_{N-1} の入力データと位相が一致するように制御され、その場合もVCO5出力の基本クロックは、周波数 f_0 になる。そして、分周器6は、外部からの伝送速度情報に基づいて周波数 f_0 の基本クロックを $1/N$ に分周し、伝送速度 B_{N-1} に対応する周波数 f_{N-1} ($=f_0/N$)のクロックを出力する。

【0022】また、サンプルホールド回路2は、位相比較器1の平均検出効率がデータの符号変換点の出現頻度に比例する特性を除去するために用いられる。なお、位相比較器1は、一般的な乗算型を採用したが、これに限らず、サンプルホールド回路2の機能を内蔵させたサンプルホールド型とすることが可能である。云うまでもないが、その場合、サンプルホールド回路2は省略される。

【0023】可変利得増幅器3の利得は外部からの伝送速度情報によってその決定される。具体的には、伝送速度に比例し、例えば伝送速度が $1/2$ なれば利得も $1/2$ になる。可変利得増幅器3の実現方法として、電流分配型のアナログ回路を用いることができるが、本発明の実施の形態においては、ゲート信号発生回路とスイッチング回路とからなる回路方式を採用した。利得が $1/N$ と離散値であることから、この回路方式によって精度の良い利得を得ることができる。可変利得増幅器3の構成例を図2に示す。

【0024】この回路は、 $N=1, 2, 4$ 、即ち伝送速度 B_0, B_1, B_3 を採用する通信ネットワークに適用するもので、伝送速度情報は、 N に対応する端子 $1/1, 1/2, 1/4$ に与えられ、該当する N の端子が“1”、その他の端子が“0”になる。

【0025】図2において、7aは、VCO5出力の最高伝送速度 B_0 ($N=1$)に対応している基本クロックを $1/2$ 分周する分周器、7bは、分周器7aの出力信号を更に $1/2$ 分周する分周器、21aは、端子 $1/2$ のデータを反転するインバータ、21bは、端子 $1/4$ のデータを反転するインバータ、22は、インバータ21a、21bの両出力信号の論理積を行なうAND回

路、8aは、分周器7aの出力信号とAND回路22の出力信号の論理和を行なうOR回路、8bは、分周器7bの出力信号とインバータ21bの出力信号の論理和を行なうOR回路、9は、OR回路8a、8bの両出力信号の論理積を行なうAND回路、10は、AND回路9出力のゲート信号によって開閉が制御されるスイッチング回路である。

【0026】スイッチング回路10にサンプルホールド回路2の出力の位相差信号が入力される。また、分周器7a、7b、インバータ21a、21b、AND回路9、22及びOR回路8a、8bによってゲート信号発生回路23が構成される。

【0027】伝送速度が B_0 で端子 $1/2, 1/4$ のいずれもが“0”のとき、AND回路9には二つの“1”が入力されてゲート信号は常に“1”になり(デューティ比が1)、スイッチング回路10は閉じたままとなる。それによってスイッチング回路10は、入力の位相差信号をそのまま出力の位相差信号として出力する。

【0028】伝送速度が B_1 ($N=2$)で端子 $1/2$ のみが“1”のとき、AND回路9から分周器7aの出力信号がOR回路8aを経てそのままゲート信号として出力され、ゲート信号のデューティ比が0.5になる。それによってスイッチング回路10は、入力の位相差信号が実効的に $1/2$ となった位相差信号を出力する。

【0029】伝送速度が B_3 ($N=4$)で端子 $1/4$ のみが“1”のとき、AND回路9により、OR回路8a、8bを経たそれぞれ分周器7a、7bの出力信号の論理積が行なわれ、AND回路9からデューティ比が0.25のゲート信号が出力される。それによってスイッチング回路10は、入力の位相差信号が実効的に $1/4$ となった出力位相差信号を出力する。

【0030】このようにして、可変利得増幅器3は、伝送速度に比例した利得を持つようになり、それによって、PLL回路のループ利得を伝送速度に比例したものとすることができる。

【0031】PLL回路の各部の波形を図3に示す。図3aは、伝送速度が最高速度($N=1$)、図3bは、 $1/2$ ($N=2$)の場合である。先ず、図3aの場合を説明する。

【0032】位相比較器1は、基本クロック(ここでは正弦波とした)の立ち上がり、データの立ち上がり及び立ち下りの双方のエッジとで位相差(又は時間差)を検出する。なお、データのエッジは、いずれか一方とすることが可能である。図3では位相比較器1の動作を一般化し、クロック1サイクル分の時間だけ位相差を出力とした。サンプルホールド回路2ではデータのエッジで動作する。従ってデータが遷移しないために位相比較器1が位相差を出力しない期間でも、サンプルホールド回路2は、直前のデータエッジの位相差を保持している。この動作によって位相差出力は、データの符号遷

移点の出現頻度に依存しなくなる。図3aの場合の可変利得増幅器3の利得は1となり、従ってその出力は、サンプルホールド回路2の出力に一致する。

【0033】次に、データ伝送速度が $1/2$ の図3bの場合を説明する。異なるのはデータのエッジが元々基本クロック2サイクル毎にしか存在しないことである。しかしながら、位相比較器1とサンプルホールド回路2は、図3aの場合と同様に動作する。伝送速度が図3aの場合の $1/2$ なので、可変利得増幅器3は、 $1/2$ のデューティでスイッチング回路10を開閉する。これによって最下段に示す信号を出力し、実効利得が $1/2$ になる。

【0034】次に、本発明によって得られる効果を図4を用いて説明する。図4aにジッタトランスファ利得の伝送速度依存性を示す。サンプルホールド回路2を用いただけでは伝送速度に対してジッタトランスファ帯域が変わらないのに比べて、本発明では、ジッタトランスファ帯域が伝送速度に比例していることが示されている。

【0035】なお、ジッタトランスファ帯域が伝送速度に比例しているのは、システムで用いるクロックの周波数とジッタトランスファ帯域の比であるQ値が一定であると言い換えることができる。ループ内にサンプルホールド回路2を用いただけの従来のPLL回路では、データパターン依存性は解決するものの、逆に伝送速度が遅くなると符号遷移点出現頻度が低くなってもジッタトランスファ帯域は一定である。即ち、Q値は伝送速度によって異なる。一方、本発明のPLL回路では、ループ内に利得がデータ伝送速度に比例する可変利得増幅器3を含むので、ループ利得がデータ伝送速度に比例する。従ってジッタトランスファ帯域もデータ速度に比例し、Q値は伝送速度によらず一定になる。

【0036】次に、ジッタトランスファ利得のデータパターン依存性を図4bに示す。サンプルホールド回路2を用いない通常のPLL回路では、位相比較器の出力が符号遷移点の頻度に依存し、ループ利得も変化する。従って、ジッタトランスファ帯域も符号遷移点頻度に比例する。一方、本発明で採用したサンプルホールド回路2を含むPLL回路では、ループ利得が符号遷移点頻度に依存しないため、データパターンに係らず、一定のジッタトランスファ帯域になる。

【0037】本発明のPLL回路を用いた中継器の構成例を図5に示す。受信信号をフロントエンド11及び等化増幅器12で増幅した後、本発明のPLL回路13でクロックを抽出する。ここで抽出するクロックは、伝送速度に対応したものである。このクロックのタイミングで等化増幅器12の出力を識別器14で判定する。15は、SDH処理を行なうデータ処理部、16は、データ処理部の出力データを伝送路に送信信号として送信する送信部である。なお、フロントエンド11、等化増幅器12、PLL回路13及び識別器14とでデータを再生

する受信部19が構成される。

【0038】データ処理部15は、中継区間の監視を行ない、中継系の特性が変化した場合に管理用データを変更する。前記したように変更に伴って符号遷移点の出現頻度が変化する。なお、中継区間の監視を行わない通信ネットワークにおいては、データ処理部15は省略される。その場合、送信器16は、識別器14出力の再生されたデータをそのまま出力する。

【0039】以上の構成により、伝送速度の $1/N$ ($N=1, 2, 4, \dots$) に対応し、ジッタトランスファのQ値が一定な中継器を構成することができた。

【0040】なお、通信ネットワークのデータを受信する受信機の前段に図5に示した受信部を適用することができる。本発明のPLL回路13を用いることによって、受信機も伝送速度の $1/N$ ($N=1, 2, 4, \dots$) に対応し、ジッタトランスファのQ値が一定の状態を受信を行なうことができる。

【0041】次に、図5に示した中継器を適用した通信ネットワークの構成を図6に示す。中継器17a, 17nは、伝送路18a, 18nに接続され、多段に連続接続される。各中継器に本発明のPLL回路が用いられているため、ネットワークは、 $1/N$ ($N=1, 2, 4, \dots$) の伝送速度に対応し、更に、伝送速度が異なってもジッタトランスファのQ値が一定になる。従って、伝送速度が低い場合にはジッタトランスファ帯域も狭くなり、帯域外の余分なジッタ成分がネットワークを伝搬することが無い。また、Q値がデータパターンに依存することが無いため、タンクと混在させた場合や、中継器でデータを書き換えた場合でも、多段中継時にデータ誤りを発生することが無い。

【0042】

【発明の効果】本発明によれば、帰還ループにサンプルホールド回路と可変利得増幅器を配置するため、伝送速度に応じてループ利得が変化し、かつ、符号遷移点の出現頻度が変化した場合にループ利得が一定で変化しない即ちQ値が伝送速度に依存しないPLL回路を実現することができる。本発明のPLL回路を中継器や受信機に適用することにより、タンクと混在させた場合や中継器でデータを書き換える場合にデータ誤りの発生がない通信ネットワークを実現することができる。

【図面の簡単な説明】

【図1】本発明に係るPLL回路の発明の実施の形態の例を説明するための回路構成図。

【図2】本発明の可変利得増幅器の例を説明するための回路構成図。

【図3】本発明のPLL回路の各部の波形を示す図。

【図4】ジッタトランスファ特性を説明するための曲線図。

【図5】本発明のPLL回路を適用した中継器の構成例を説明するための回路構成図。

【図6】本発明の中継器を用いた通信ネットワークの例を説明するための構成図。

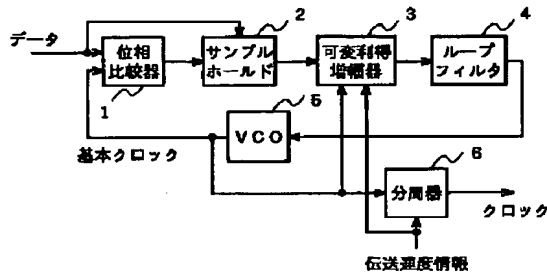
【符号の説明】

1…位相比較器、2…サンプルホールド回路、3…可変利得増幅器、4…ループフィルタ、5…VCO、6、7…分周器、8…OR回路、9、22…AND回路、10

…スイッチング回路、11…フロントエンド部、12…等化増幅部、13…PLL回路、14…識別器、15…データ処理部、16…送信部、17…中継器、18…伝送路、19…受信部、21…インバータ、23…ゲート信号発生回路。

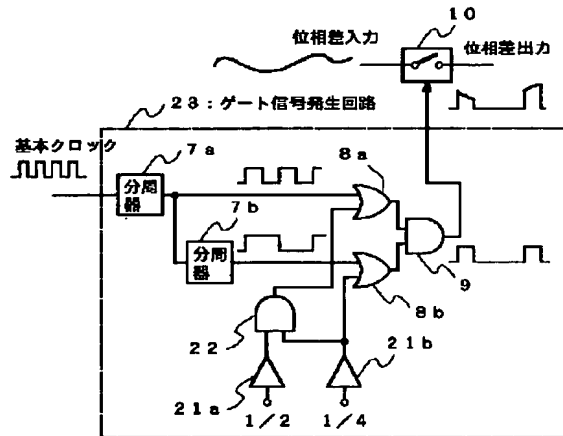
【図1】

図1



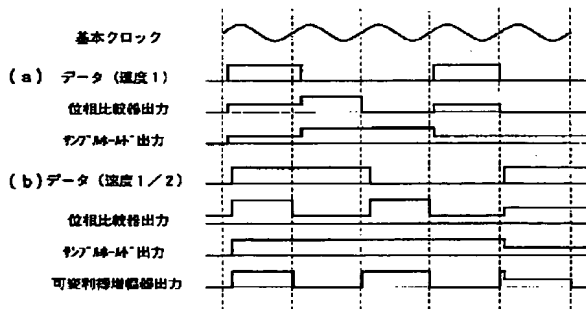
【図2】

図2



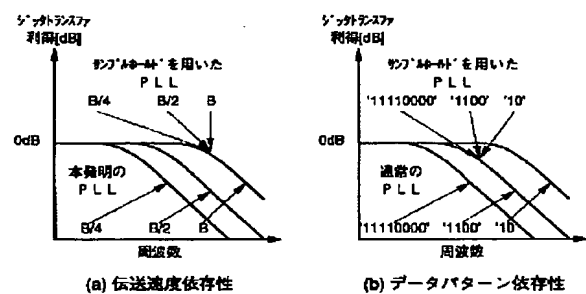
【図3】

図3



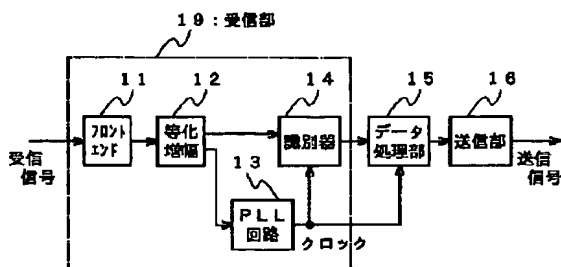
【図4】

図4



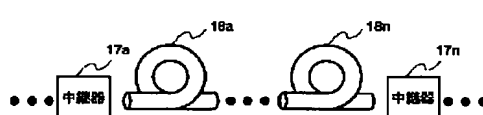
【図5】

図5



【図6】

図6



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.